



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0029

Applicant: Jung Taik CHEONG et al.

Confirmation No.: 8083

Appl. No.: 10/608,426

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: 2812

Title: METHOD FOR FORMING SEMICONDUCTOR DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2002-0087094 filed December 30, 2002**

Respectfully submitted,

Date: 11/24/03

By Johnny A. Kumar

Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087094  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

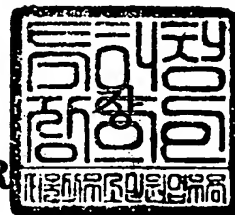
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 19 일

특 허 청

COMMISSIONER





1020020087094

출력 일자: 2003/5/20

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0124
<b>【제출일자】</b>	2002.12.30
<b>【국제특허분류】</b>	H01L
<b>【발명의 명칭】</b>	반도체소자의 형성방법
<b>【발명의 영문명칭】</b>	A method for forming a semiconductor device
<b>【출원인】</b>	
<b>【명칭】</b>	주식회사 하이닉스반도체
<b>【출원인코드】</b>	1-1998-004569-8
<b>【대리인】</b>	
<b>【성명】</b>	이후동
<b>【대리인코드】</b>	9-1998-000649-0
<b>【포괄위임등록번호】</b>	1999-058167-2
<b>【대리인】</b>	
<b>【성명】</b>	이정훈
<b>【대리인코드】</b>	9-1998-000350-5
<b>【포괄위임등록번호】</b>	1999-054155-9
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이상도
<b>【성명의 영문표기】</b>	LEE, Sang Do
<b>【주민등록번호】</b>	690101-1042436
<b>【우편번호】</b>	449-845
<b>【주소】</b>	경기도 용인시 수지읍 죽전리 대진1차아파트 106-604
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	최봉호
<b>【성명의 영문표기】</b>	CHOI, Bong Ho
<b>【주민등록번호】</b>	620920-1482211

【우편번호】 137-770

【주소】 서울특별시 서초구 반포본동 반포아파트 16동 305호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이후동 (인) 대리인  
이정훈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	7 면	7,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	7 항	333,000 원
【합계】		369,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 형성방법에 관한 것으로, 특히 비트라인 상부의 하드마스크층 두께를 두껍게 유지하며 저장전극 콘택홀 측벽에 절연막 스페이서를 두껍게 유지할 수 있도록 하여 비트라인 기생 캐패시턴스를 감소시키고 그에 따른 소자의 특성 및 신뢰성을 향상시킬 수 있는 기술이다.

**【대표도】**

도 4c

## 【명세서】

## 【발명의 명칭】

반도체소자의 형성방법{A method for forming a semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 1c 는 종래기술의 제1실시예에 따른 반도체소자를 각각 도시한 평면도, 평면 شم사진과 ㉔-㉔ 단면 شم사진.

도 2a 내지 도 2d 는 종래기술의 제2실시예에 따른 반도체소자를 각각 도시한 평면도, 평면 شم사진, 도 2a 의 ㉔-㉔ 단면 شم사진 및 ㉔-㉔ 단면 شم사진.

도 3a 내지 도 3e 는 종래기술에 따른 반도체소자의 제조방법을 도시한 단면 شم사진.

도 4a 내지 도 4c 는 본 발명에 따른 반도체소자의 제조방법을 도시한 단면도.

도 4d 는 상기 도 4c 의 후속공정으로 형성된 반도체소자를 도시한 شم사진.

도 4e 는 종래기술과 본 발명에 따라 형성된 반도체소자를 비교 도시한 شم사진.

## &lt; 도면의 주요부분에 대한 부호 설명 &gt;

11,21,31,45 : 랜딩 플러그 폴리 13,23,33 : 비트라인

15,25,49 : 제2층간절연막 17,27,57 : 저장전극 콘택홀

35 : 저장전극 콘택플러그 37 : 저장전극

41 : 하부절연층 43 : 랜딩 플러그 콘택홀

47 : 제1층간절연막 51 : 비트라인용 도전층

53 : 하드마스크층      55 : 제1질화막 스페이서

59 : 제2질화막      61 : 제3질화막

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <15>      본 발명은 반도체소자의 형성방법에 관한 것으로, 특히 비트라인 상측에 하드마스크층을 형성하고 이를 이용한 저장전극의 자기정렬적인 콘택 공정시 소자의 특성 열화를 방지하여 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 기술에 관한 것이다.
- <16>      반도체소자는 하부와 상부의 도전이 상호 연결되도록 콘택되어 형성된다.
- <17>      0.20  $\mu\text{m}$  이하의 디자인룰을 갖는 반도체소자의 콘택 공정은 마스크 작업의 중첩 마진이 작아 산화막과 질화막의 식각선택비를 이용하여 질화막을 식각장벽으로 사용하는 자기정렬적인 콘택 공정 ( self aligned contact, SAC )을 적용하고 있다.
- <18>      0.14  $\mu\text{m}$  이상의 선폴을 갖는 경우 홀 타입 ( hole type ) 의 SAC 을 적용하고 있으나 그 이하의 선폴을 갖는 소자의 개발은 정렬마진이 부족하여 라인 타입의 SAC 공정과 CMP 공정을 혼합하여 콘택을 형성하였다.
- <19>      도 1a 내지 도 1c 는 종래기술의 제1실시예에 따라 형성된 반도체소자의 평면도, 평면 썸사진 및 단면 썸사진을 도시한 것으로서, 상기 도 1c 는 상기 도 1b 의 (W)-(W) 절단면을 따라 도시한 것이다.
- <20>      도 1a를 참조하면, 반도체기판(도시안됨) 상부에 게이트전극(도시안됨)이 형성된 하부절연층(도시안됨)을 형성한다.

- <21> 그리고, 상기 랜딩플러그 콘택마스크를 이용한 사진식각공정으로 상기 하부절연층을 식각하여 상기 반도체기판의 활성영역을 노출시키는 랜딩플러그 콘택홀을 형성한다.
- <22> 상기 랜딩 플러그 콘택홀을 매립하는 플러그 폴리를 전체표면상부에 형성하고 이를 평탄화식각하여 상기 랜딩 플러그 폴리(11)를 형성한다.
- <23> 여기서, 상기 평탄화 식각공정은 상기 게이트전극 상부에 형성되는 하드마스크층을 식각장벽으로 하여 실시함으로써 상기 저장전극 또는 비트라인이 콘택될 상기 게이트전극 사이의 활성영역에 랜딩플러그폴리(11)를 형성한 것이다.
- <24> 그 다음, 제1층간절연막(도시안됨)을 형성하고 비트라인 콘택마스크를 이용한 사진식각공정으로 상기 제1층간절연막을 식각하여 상기 랜딩 플러그 폴리를 노출시키는 비트라인 콘택홀을 형성한다.
- <25> 상기 비트라인 콘택홀을 통하여 상기 랜딩 플러그 폴리에 접속되는 비트라인(13)을 형성한다. 이때, 상기 비트라인은 상부에 하드마스크층이 질화막으로 형성된 것이다.
- <26> 그 다음, 전체표면상부에 제2층간절연막(15)을 형성한다.
- <27> 저장전극 콘택마스크(도시안됨)를 이용한 사진식각공정으로 상기 제2층간절연막(15) 및 제1층간절연막을 식각하여 상기 랜딩 플러그 폴리(11)를 노출시키는 저장전극 콘택홀(17)을 형성한다.
- <28> 여기서, ㉑ 는 저장전극 콘택홀의 바텀 ( bottom CD ) 를 도시하고, ㉒ 는 상기 저장전극 콘택홀(17)의 톱 ( top ) CD 를 도시한다.
- <29> 그 다음, 상기 콘택홀(17)을 통하여 랜딩 플러그 폴리(11)에 접속되는 저장전극 콘택플러그를 형성한다.



- <30>      상기 도 1b 는 이웃하는 저장전극 콘택홀(17)의 평면을 도시한 썸사진으로서, 저장전극 콘택홀(17)의 톱 CD ⑥ 와 바텀 CD ① 의 크기가 차이가 있음을 도시한다.
- <31>      상기 도 1c 는 상기 도 1b 의 ㉔-㉔ 절단면을 따라 도시한 썸사진으로서, 저장전극 콘택홀(17)의 톱 CD ⑥ 와 바텀 CD ① 의 크기가 차이가 있음을 알 수 있다.
- <32>      도 2a 내지 도 2d 는 종래기술의 제2실시예에 따라 형성된 반도체소자를 도시한 평면도, 평면 썸사진 및 단면 썸사진으로서, 상기 제1실시예의 부족한 정렬마진을 확보할 수 있도록 라인 타입의 SAC 공정과 CMP 공정을 이용하여 실시한 것이다. 여기서, 상기 도 2c 는 상기 도 2a 의 ㉔-㉔ 절단면을 따라 도시한 썸사진이고, 상기 도 2d 는 상기 도 2a 의 ㉔-㉔ 절단면을 따라 도시한 썸사진이다.
- <33>      도 2a를 참조하면, 반도체기판(도시안됨) 상부에 게이트전극(도시안됨)이 형성된 하부절연층(도시안됨)을 형성한다.
- <34>      그리고, 상기 랜딩플러그 콘택마스크를 이용한 사진식각공정으로 상기 하부절연층을 식각하여 상기 반도체기판의 활성영역을 노출시키는 랜딩플러그 콘택홀을 형성한다.
- <35>      상기 랜딩 플러그 콘택홀을 매립하는 플러그 폴리를 전체표면상부에 형성하고 이를 평탄화식각하여 상기 랜딩 플러그 폴리(21)를 형성한다.
- <36>      여기서, 상기 평탄화 식각공정은 상기 게이트전극 상부에 형성되는 하드마스크층을 식각장벽으로 하여 실시함으로써 상기 저장전극 또는 비트라인이 콘택될 상기 게이트전극 사이의 활성영역에 랜딩플러그폴리(21)를 형성한 것이다.

- <37>        그 다음, 제1층간절연막(도시안됨)을 형성하고 비트라인 콘택마스크를 이용한 사진식각공정으로 상기 제1층간절연막을 식각하여 상기 랜딩 플러그 폴리를 노출시키는 비트라인 콘택홀을 형성한다.
- <38>        상기 비트라인 콘택홀을 통하여 상기 랜딩 플러그 폴리에 접속되는 비트라인(23)을 형성한다. 이때, 상기 비트라인(23)은 상부에 하드마스크층이 질화막으로 형성된 것이다.
- <39>        그 다음, 전체표면상부에 제2층간절연막(25)을 형성한다.
- <40>        상기 비트라인(23)과 수직한 라인 타입의 저장전극 콘택마스크(도시안됨)를 이용한 사진식각공정으로 상기 제2층간절연막(25) 및 제1층간절연막을 식각하여 상기 랜딩 플러그 폴리(21)를 노출시키는 저장전극 콘택홀(27)을 형성한다.
- <41>        여기서, 상기 저장전극 콘택홀(27)은 상기 비트라인(23)과 라인 타입의 제2,1층간절연막(25)이 직교하여 노출되는 부분에 상기 랜딩플러그 폴리(21)를 노출시키며 형성된다.
- <42>        그 다음, 상기 저장전극 콘택홀(27)을 통하여 랜딩 플러그 폴리(21)에 접속되는 저장전극 콘택플러그를 형성한다.
- <43>        상기 도 2b 는 상기 도 2a 의 평면 썸사진으로서, 상기 도 1b 와 같이 콘택홀이 비뚤어진 상태가 아닌 정렬된 형태로 형성된 것을 도시한다.
- <44>        여기서, 상기 저장전극 콘택홀(27)은 톱 CD ㉔ 와 바텀 CD ㉕ 의 크기가 차이가 있음을 도시한다.

- <45>       상기 도 2c 는 비트라인용 하드마스크층 ㉔ 가 도시되고 그 하부에 비트라인이 형성된 것을 도시한다.
- <46>       상기 도 2d 는 게이트전극 ㉕, 랜딩플러그폴리 ㉖, 제1층간절연막 ㉗ 및 제2층간절연막 ㉘ 가 도시되고 상기 비트라인이 미도시된 것이다.
- <47>       도 3a 내지 도 3e 는 종래기술의 제2실시에에 따른 반도체소자의 형성방법을 도시한 단면 셈사진을 도시한 것이다.
- <48>       도 3a를 참조하면, 반도체기판(도시안됨) 상부에 게이트전극(도시안됨)이 형성된 하부절연층(도시안됨)을 형성한다.
- <49>       그리고, 상기 랜딩플러그 콘택마스크를 이용한 사진식각공정으로 상기 하부절연층을 식각하여 상기 반도체기판의 활성영역을 노출시키는 랜딩플러그 콘택홀을 형성한다.
- <50>       상기 랜딩 플러그 콘택홀을 매립하는 플러그 폴리를 전체표면상부에 형성하고 이를 평탄화식각하여 상기 랜딩 플러그 폴리(31)를 형성한다.
- <51>       여기서, 상기 평탄화 식각공정은 상기 게이트전극 상부에 형성되는 하드마스크층을 식각장벽으로 하여 실시함으로써 상기 저장전극 또는 비트라인이 콘택될 상기 게이트전극 사이의 활성영역에 랜딩플러그폴리(31)를 형성한 것이다.
- <52>       이때, 상기 하드마스크층은 ㉙ 만큼의 높이를 갖는다.
- <53>       그 다음, 제1층간절연막(도시안됨)을 형성하고 비트라인 콘택마스크를 이용한 사진식각공정으로 상기 제1층간절연막을 식각하여 상기 랜딩 플러그 폴리(31)를 노출시키는 비트라인 콘택홀을 형성한다.

- <54>       상기 비트라인 콘택홀을 통하여 상기 랜딩 플러그 폴리에 접속되는 비트라인(33)을 형성한다. 이때, 상기 비트라인(33)은 상부에 하드마스크층이 질화막으로 형성된 것이다
- <55>       도 3b 를 참조하면, 상기 비트라인(33)의 측벽에 질화막 스페이서를 형성한다.
- <56>       이때, 상기 질화막 스페이서는 전체표면상부에 질화막을 250 ~ 350 Å 두께만큼 증착하고 이를 이방성 식각하여 형성하되, 상기 이방성식각공정시 과도식각을 수반하여 500 ~ 600 Å 두께만큼 식각하게 된다.
- <57>       상기 과도식각공정에 의하여 상기 비트라인(33) 상부의 하드마스크층 두께가 상기 ① 보다 얇은 ② 의 두께만큼으로 감소된다.
- <58>       도 3c 를 참조하면, 전체표면상부에 제2층간절연막(도시안됨)을 형성한다.
- <59>       상기 비트라인(33)과 수직한 라인 타입의 저장전극 콘택마스크(도시안됨)를 이용한 사진식각공정으로 상기 제2층간절연막 및 제1층간절연막을 식각하여 상기 랜딩 플러그 폴리(31)를 노출시키는 저장전극 콘택홀(도시안됨)을 형성한다.
- <60>       여기서, 상기 저장전극 콘택홀은 상기 비트라인(33)과 라인 타입의 제2,1층간절연막이 직교하여 노출되는 부분에 상기 랜딩플러그 폴리(31)를 노출시키며 형성된다.
- <61>       그 다음, 상기 저장전극 콘택홀을 매립하는 플러그 폴리를 전체표면상부에 형성하고 이를 평탄화식각하여 저장전극 콘택플러그(35)를 형성한다.
- <62>       이때, 상기 평탄화식각공정은 CMP ( chemical mechanical polishing ) 공정으로 실시한 것으로, "A" 는 CMP 된 것을 도시한다.

- <63> 여기서, 상기 비트라인(33) 상부의 하드마스크층은 CMP 공정시 식각되어 상기 ㉔보다 얇은 ㉑의 두께로 형성되어 상기 비트라인(33)의 절연특성을 열화시킨다.
- <64> 도 3d를 참조하면, 후속공정으로 상기 저장전극 콘택플러그(35)에 접속되는 저장전극(37)을 형성한다.
- <65> 이때, ㉓과 같이 비트라인(33)과 저장전극(37)이 가까워져 절연특성을 유지하기 위한 마진이 감소하는 문제점이 있다.
- <66> 상기 도 3e는 상기 도 1b 및 도 2b에서의 ㉑ 및 ㉒와 같이 콘택홀의 바텀 CD를 크게 형성하기 위하여 습식식각공정을 실시하고 후속 공정을 실시하여 저장전극 콘택플러그(35)를 형성한 것을 도시한 것으로서, ㉑ 부분과 같이 비트라인의 하부로 홈이 형성되고 이를 저장전극 콘택플러그(35) 물질로 매립하여 소자의 특성을 열화시키는 문제점이 유발된다.
- <67> 상기한 바와 같이 종래기술에 따른 반도체소자의 형성방법은,
- <68> 라인 타입의 콘택플러그 형성을 위한 CMP 공정시 각각의 콘택플러그를 분리시키기 위하여 실시되는 과도한 CMP 공정으로 인하여 비트라인의 하드마스크층 손실이 다량 유발되어 소자의 특성을 열화시킨다.
- <69> 특히, 패턴 밀도나 웨이퍼 위치별로 연마되는 정도가 불균일하기 때문에 웨이퍼 전면에서 전체의 저장전극 콘택플러그를 분리시키게 되면 일부 지역에서 비트라인이 노출되게 되고 후속 공정으로 캐패시터를 형성하면 캐패시터와 비트라인이 쇼트되는 문제점이 유발된다.

<70>       상기 제2실시예에서 실시되는 SAC 공정시 질화막의 손실이 많이 발생하여 상하에 위치한 도전층간의 접촉에 의한 불량 발생하게되는 SAC 불량이 발생할 가능성이 상기 제1실시예와 같이 실시되는 홀 타입 SAC 공정에 비하여 매우 크게 나타난다. 그러나, 이를 보상하기 위하여 상기 질화막을 두껍게 형성하는 경우는 보이드가 유발될 수 있어 그에 따른 특성 열화가 유발되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<71>       본 발명은 이러한 종래기술의 문제점을 해결하기 위하여,  
<72>       단차피복비가 우수한 절연막을 저장전극 콘택홀 표면에 형성하고 단차피복비가 나쁜 절연막을 비트라인 상부 및 측벽에 증착하여 상기 비트라인 상부의 하드마스크층 두께를 두껍게 형성함으로써 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 반도체소자의 형성방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<73>       이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 형성방법은,  
<74>       반도체기판 상에 랜딩 플러그 폴리가 구비되는 하부절연층을 형성하는 공정과,  
<75>       전체표면상부에 상기 층간절연막을 형성하는 공정과,  
<76>       하드마스크층이 상측에 구비되고 측벽에 제1질화막 스페이서가 구비되는 비트라인을 상기 층간절연막 상부에 형성하는 공정과,  
<77>       저장전극 콘택마스크를 이용한 사진식각공정으로 상기 랜딩 플러그 폴리가 노출되는 저장전극 콘택홀을 형성하는 공정과,

- <78> 상기 저장전극 콘택홀을 포함한 전체표면상부에 제2질화막을 일정두께 형성하는 공정과,
- <79> 상기 저장전극 콘택홀을 포함한 전체표면상부에 제3질화막을 형성하되,
- <80> 상기 저장전극 콘택홀 저부 및 측벽보다 상기 하드마스크층 상부에 두껍게 형성하여 오버행이 유발되는 공정과,
- <81> 상기 오버행된 제3질화막을 제거하며 상기 저장전극 콘택홀 저부의 제2,3질화막을 제거하는 공정을 포함하는 것과,
- <82> 상기 제2질화막은 LPCVD ( low pressure chemical vapor deposition ) 방법으로 단차피복비가 85 ~ 100 퍼센트인 형태로 형성하는 것과,
- <83> 상기 제2질화막은 10 ~ 200 Å 두께만큼 형성하는 것과,
- <84> 상기 제3질화막 형성공정은 PECVD ( plasma enhanced chemical vapor deposition ) 방법을 이용하여 단차피복비가 5 ~ 40 퍼센트인 형태로 형성하는 것과,
- <85> 상기 제3질화막은 500 ~ 3000 Å 두께로 형성하는 것과,
- <86> 제2,3 질화막은 하나의 챔버 내에서  $\text{SiH}_4/\text{NH}_3$  가스 비를 변화시켜 상기  $\text{SiH}_4$  의 비를 증가시킴으로써 상기 제2질화막과 제3질화막을 순차적으로 형성하는 것과,
- <87> 상기 오버행 및 저장전극 콘택홀 저부의 질화막 식각공정은 Ar 가스를 이용한 스퍼터링 방식과 F 나 Cl 기가 함유된 화학 방식을 이용하여 2 단계 이상으로 실시하거나 상기 두 가지 식각 조건이 조합된 하나의 식각 조건으로 실시하는 것을 특징으로 한다.
- <88> 한편, 본 발명의 원리는,

- <89> 비트라인을 형성하고, 전체표면상부에 단차피복성이 우수한 제1절연막을 LP 형태의 질화막으로 형성하여 저장전극 콘택홀의 바텀 CD를 증가시키기 위한 습식식각공정시 손상을 방지한 다음, 단차피복성이 나쁜 제2절연막을 PECVD 질화막으로 전체표면상부에 형성하여 상기 비트라인 상부에 많은 두께를 유지하고 그 측벽에 얇게 형성되도록 함으로써 후속 공정에서 실시되는 비트라인 상부의 하드마스크층 식각공정 후에도 비트라인의 절연특성을 유지할 수 있도록 하는 것이다.
- <90> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하면 다음과 같다.
- <91> 도 4a 내지 도 4e 는 본 발명의 실시예에 따른 반도체소자의 형성방법을 도시한 단면도로서, 본 발명에 사용되는 질화막의 두께를 실시예에 따라 소정범위로 한정하여 실시한 것이다.
- <92> 도 4a 를 참조하면, 반도체기판(도시안됨) 상부에 게이트전극(도시안됨)이 형성된 하부절연층(41)을 형성한다.
- <93> 그리고, 상기 랜딩플러그 콘택마스크를 이용한 사진식각공정으로 상기 하부절연층(41)을 식각하여 상기 반도체기판의 활성영역을 노출시키는 랜딩플러그 콘택홀(43)을 형성한다.
- <94> 상기 랜딩 플러그 콘택홀(43)을 매립하는 플러그 폴리를 전체표면상부에 형성하고 이를 평탄화식각하여 상기 랜딩 플러그 폴리(45)를 형성한다.
- <95> 여기서, 상기 평탄화 식각공정은 상기 게이트전극 상부에 형성되는 하드마스크층을 식각장벽으로 하여 실시함으로써 상기 저장전극 또는 비트라인이 콘택될 상기 게이트전극 사이의 활성영역에 랜딩플러그폴리(45)를 형성한 것이다.



- <96>        그 다음, 전체표면상부에 제1층간절연막(47)을 형성한다.
- <97>        상기 제1층간절연막(47) 상부에 제2층간절연막(49)을 형성하고 그 상부에 비트라인용 도전층(51) 및 하드마스크층(53)을 적층한다. 여기서, 상기 제1층간절연막(47)과 제2층간절연막(49)은 같은 물질로서, 비트라인 형성시 나타나는 단차와 저장전극 콘택 식각시 나타나는 단차를 표시하기 위하여 두 개의 층으로 도성한 것이다.
- <98>        상기 제1층간절연막(47) 상부에 제2층간절연막(49), 비트라인용 도전층(51) 및 하드마스크층(53)의 적층구조를 패터닝한다.
- <99>        상기 적층구조 측벽에 제1절화막 스페이서(55)를 형성한다. 이때, 상기 제1절화막 스페이서(55)는 전체표면상부에 제1절화막을 증착하고 이를 이방성식각하여 형성한다.
- <100>        그 다음, 전체표면상부에 제3층간절연막(도시안됨)을 증착하고 저장전극 콘택마스크(도시안됨)를 이용하여 제3,1층절연막을 식각하여 저장전극 콘택홀(57)을 형성한다.
- <101>        도 4b를 참조하면, 상기 저장전극 콘택홀(57)을 포함한 전체표면상부에 제2절화막(59)을 형성한다.
- <102>        여기서, 상기 제2절화막(59)은 단차피복비가 95 퍼센트 이상인 LPCVD 방법을 이용하여 10 ~ 50 Å 두께로 형성한다.
- <103>        도 4c를 참조하면, 전체표면상부에 제3절화막(61)을 형성한다.
- <104>        이때, 상기 제3절화막(61)은 단차피복비가 나쁜 PECVD 방법으로 형성하되, 상기 비트라인(51)이 포함된 적층구조 상부에는 550 ~ 650 Å 두께로 형성하고 상기 적층구조 사이에 형성되는 저장전극 콘택홀(57)의 측벽 및 저부에는 100 ~ 240 Å 두께로 형성함

으로써 상기 콘택홀(57) 저부의 제2질화막(59)과 제3질화막(61)을 150 ~ 250 Å 두께로 형성한다.

<105> 여기서, 상기 제3질화막(61)은 Å 부분과 같이 오버행 ( over hang ) 이 유발된다.

<106> 도 4d를 참조하면, 상기 오버행을 제거하며 상기 저장전극 콘택홀(57) 저부의 제3 질화막(61)을 제거하는 식각공정을 실시한다.

<107> 이때, 상기 식각공정 조건은 스페이서 식각시 드라이 플라즈마 챔버를 이용한 Ar 스퍼터링 단계를 추가하여 오버행을 완화시키는 조건으로 진행한다.

<108> 상기 식각공정은 상기 콘택홀(57) 저부의 제3질화막(61)을 완전히 제거하기 위하여, 450 ~ 550 Å 두께만큼 식각하여야 하기 때문에 상기 비트라인(51)을 포함한 적층구조 상부에 100 Å 정도의 질화막이 더 남게 되어 하드마스크층(53)의 두께를 두껍게 하는 역할을 한다.

<109> 상기 도 3b 에 기술된 바와 같이 250 ~ 350 Å 를 증착하고 450 ~ 650 Å 두께만큼 이방성 식각하여야 하는 종래기술과 비교할 때 250 ~ 450 Å 의 두께만큼 상기 하드마스크층(53)이 두꺼워지는 효과를 제공한다.

<110> 상기 도 4e 의 일측은 종래기술에 따라 비트라인(33) 상부에 형성된 질화막 두께를 도시하고, 타측은 본 발명에 따라 비트라인(51) 상부에 형성된 질화막 두께를 도시한 셈사진으로서, 본 발명에 따라 형성된 비트라인(51) 상부의 질화막 두께가 Å 만큼 두껍게 형성된 것을 도시한다.

#### 【발명의 효과】

<111> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 형성방법은,

<112> 비트라인 상부의 하드마스크층이 형성된 적층구조 상부에 상기 하드마스크층과 같은 재질의 질화막을 적층하여 후속 식각공정에 따른 식각 마진을 확보하여 공정을 용이하게 실시할 수 있도록 하는 동시에 저장전극 콘택플러그를 포함한 저장전극과 하부 도전층과의 절연특성 열화를 방지하는 효과를 제공한다.

**【특허청구범위】****【청구항 1】**

반도체기판 상에 랜딩 플러그 폴리가 구비되는 하부절연층을 형성하는 공정과,  
전체표면상부에 상기 층간절연막을 형성하는 공정과,  
하드마스크층이 상측에 구비되고 측벽에 제1절화막 스페이서가 구비되는 비트라인  
을 상기 층간절연막 상부에 형성하는 공정과,  
저장전극 콘택마스크를 이용한 사진식각공정으로 상기 랜딩 플러그 폴리가 노출되  
는 저장전극 콘택홀을 형성하는 공정과,  
상기 저장전극 콘택홀을 포함한 전체표면상부에 제2절화막을 일정두께 형성하는 공  
정과,  
상기 저장전극 콘택홀을 포함한 전체표면상부에 제3절화막을 형성하되, 상기 저  
장전극 콘택홀 저부 및 측벽보다 상기 하드마스크층 상부에 두껍게 형성하여 오버행이  
유발되는 공정과,  
상기 오버행된 제3절화막을 제거하며 상기 저장전극 콘택홀 저부의 제2,3절화막을  
제거하는 공정을 포함하는 반도체소자의 형성방법.

**【청구항 2】**

제 1 항에 있어서,

상기 제2절화막은 LPCVD방법으로 단차피복비가 85 ~ 100 퍼센트인 형태로 형성하  
는 것을 특징으로 하는 반도체소자의 형성방법.

**【청구항 3】**

제 1 항에 있어서,

상기 제2질화막은 10 ~ 200 Å 두께만큼 형성하는 것을 특징으로 하는 반도체소자의 형성방법.

**【청구항 4】**

제 1 항에 있어서,

상기 제3질화막 형성공정은 PECVD 방법을 이용하여 단차피복비가 5 ~ 40 퍼센트인 형태로 형성하는 것을 특징으로 하는 반도체소자의 형성방법.

**【청구항 5】**

제 1 항에 있어서,

상기 제3질화막은 500 ~ 3000 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 형성방법.

**【청구항 6】**

제 1 항에 있어서,

제2,3 질화막은 하나의 챔버 내에서  $\text{SiH}_4/\text{NH}_3$  가스 비를 변화시켜 상기  $\text{SiH}_4$  의 비를 증가시킴으로써 상기 제2질화막과 제3질화막을 순차적으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

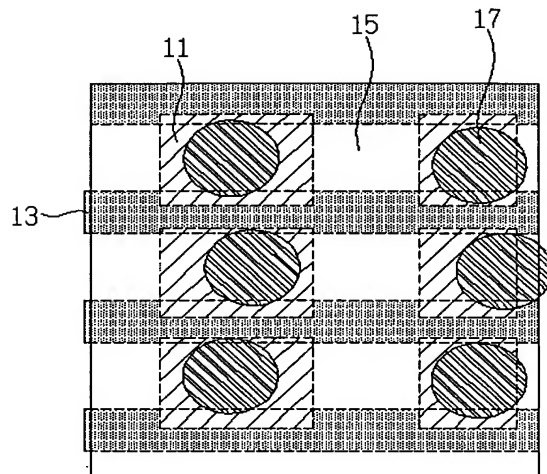
**【청구항 7】**

제 1 항에 있어서,

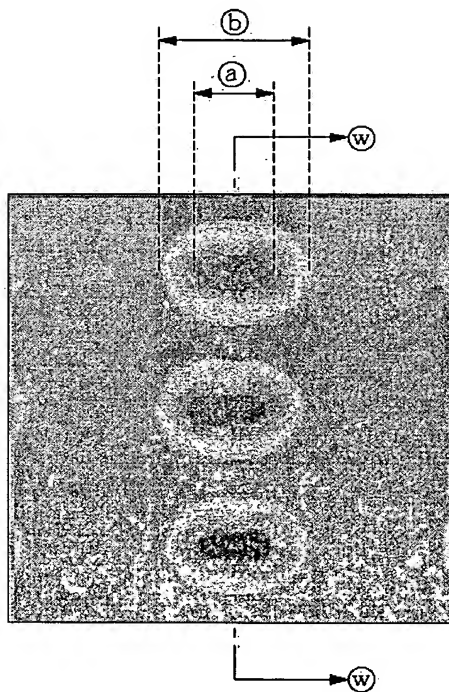
상기 오버행 및 저장전극 콘택홀 저부의 질화막 식각공정은 Ar 가스를 이용한 스퍼터링 방식과 F 나 Cl 기가 함유된 화학 방식을 이용하여 2 단계 이상으로 실시하거나 상기 두 가지 식각 조건이 조합된 하나의 식각 조건으로 실시하는 것을 특징으로 하는 반도체소자의 형성방법.

【도면】

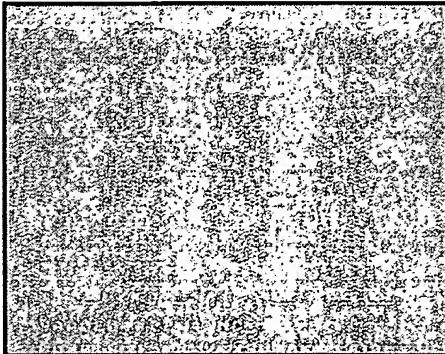
【도 1a】



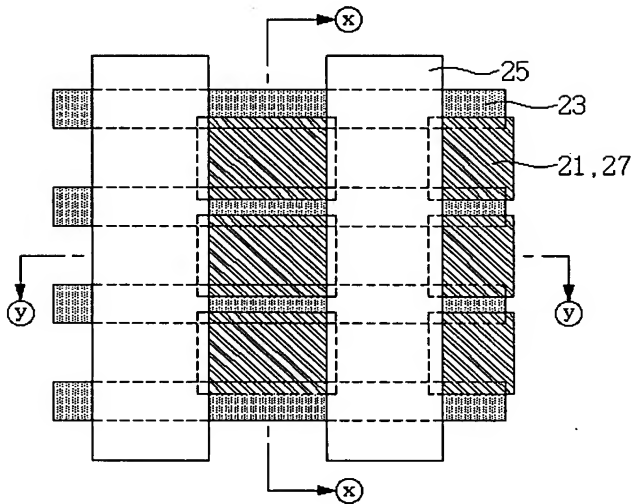
【도 1b】



【도 1c】

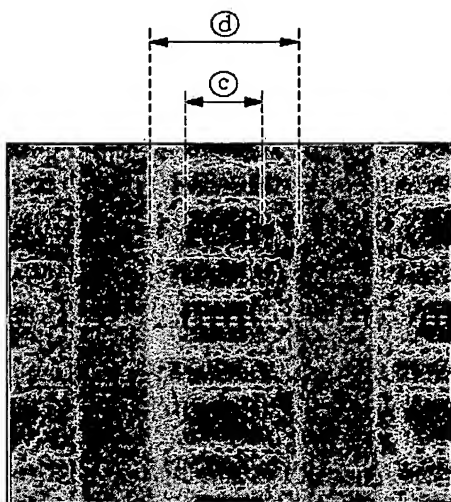


【도 2a】

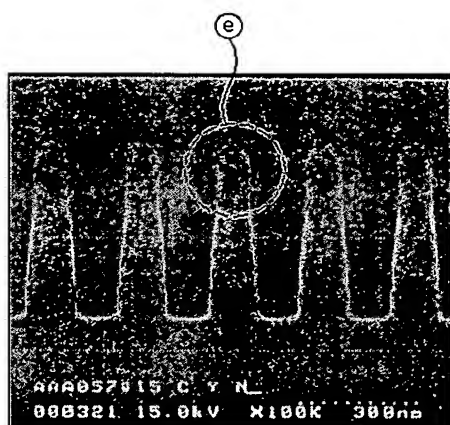




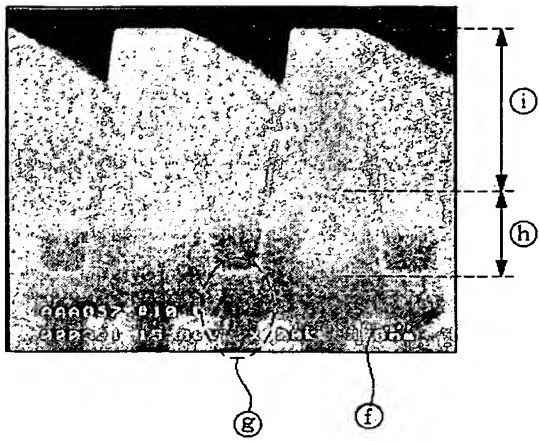
【도 2b】



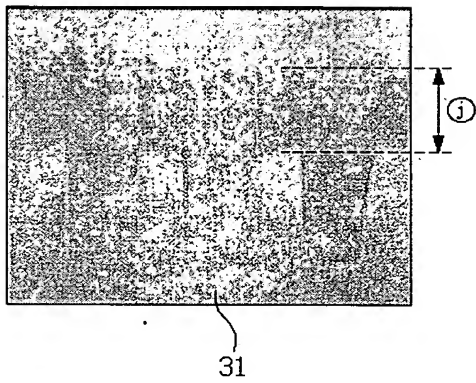
【도 2c】



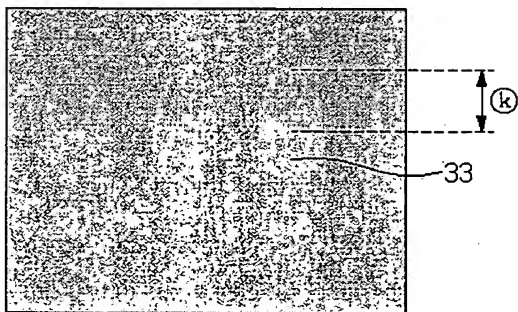
【도 2d】



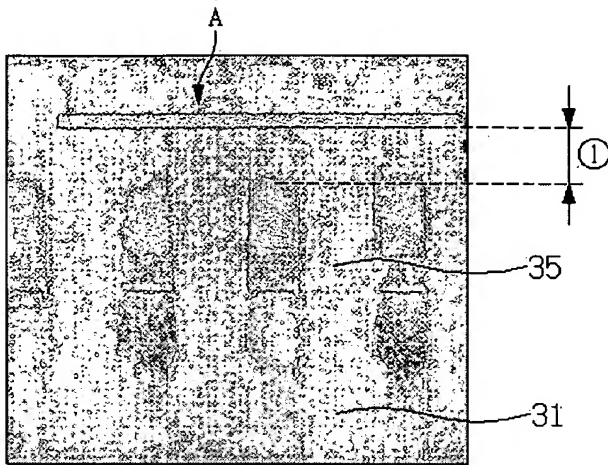
【도 3a】



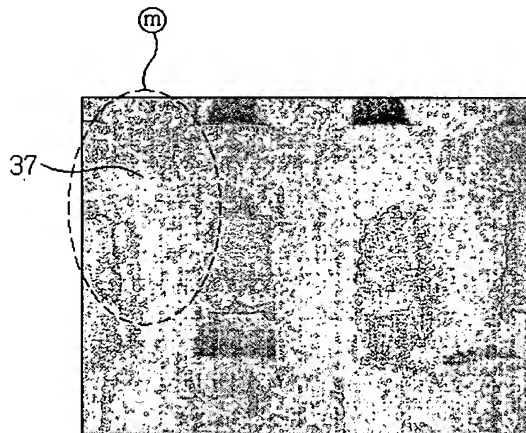
【도 3b】



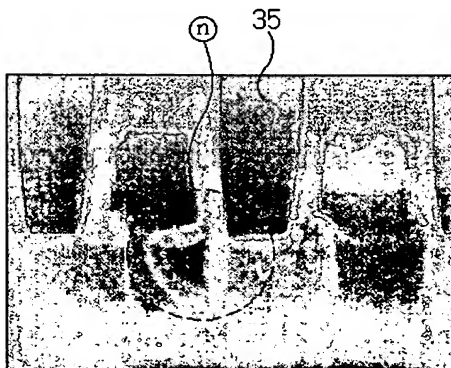
【도 3c】



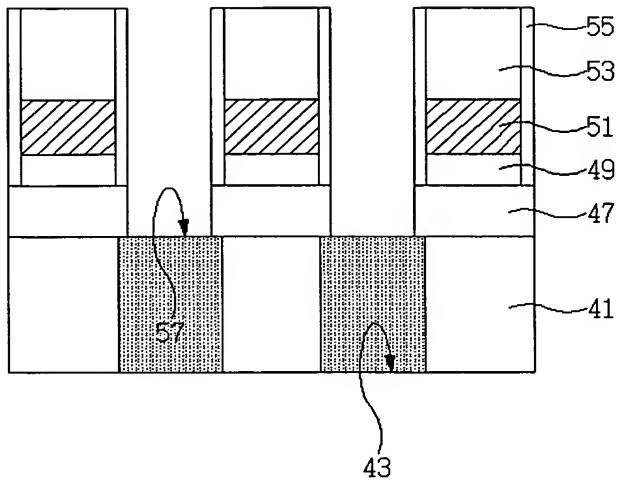
【도 3d】



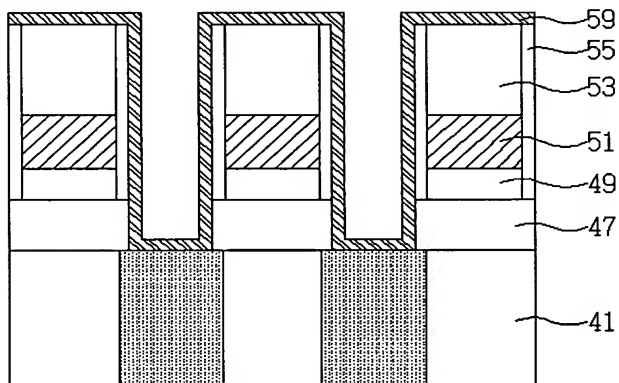
【도 3e】



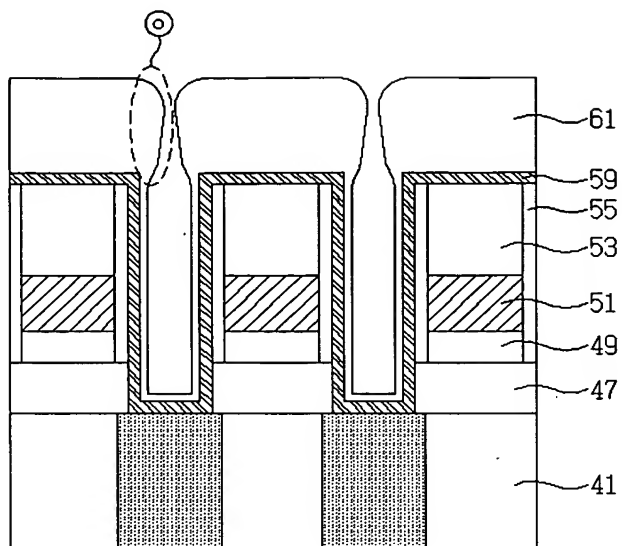
【도 4a】



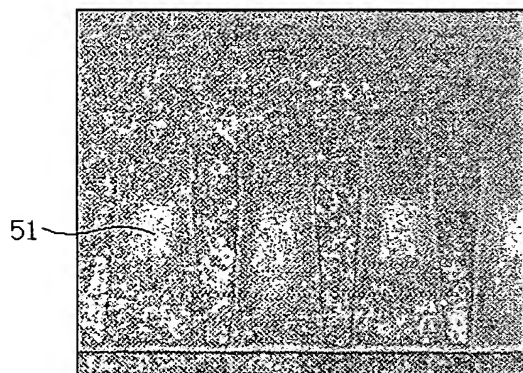
【도 4b】



【도 4c】



【도 4d】



【도 4e】

